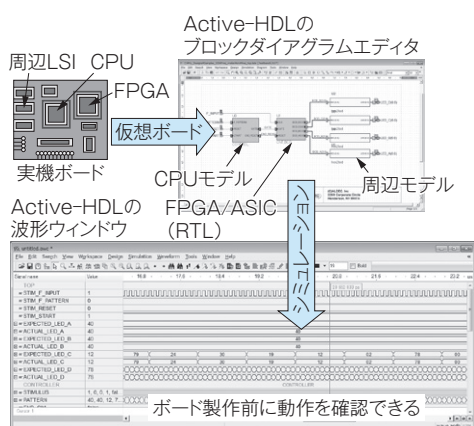


組み込み用協調試験システム

森 文彦 Fumihiko Mori

キーワード 組み込み、ハードウェア/ソフトウェア協調シミュレーション、RTLシミュレータ、FPGA、ASIC、LSI

概要



※設計情報は全て架空のものである。

組み込み用協調試験システム

組み込み製品の開発現場は、進歩が速い半導体の微細化とソフトウェアの大規模化に追随するため、常に開発効率向上が求められている。さらに当社の製品は、社会インフラを支える重要な役割を担うため、高い品質であることも必須である。

上記の解決策の一つとして、組み込み開発分野では実機製作前にボードの動作をシミュレートするハードウェア/ソフトウェア協調シミュレーションが注目されて久しい。

当社は専用の協調シミュレータを使用せず、組み込み製品開発現場で広く普及しているRTL (Register Transfer Level) シミュレータを活用することで、新たな投資をせずにハードウェア/ソフトウェア協調シミュレーション環境を構築した。

1 まえがき

組み込み製品の開発現場は、進歩が速い半導体の微細化とソフトウェアの大規模化に追随するため、常に開発効率向上が求められている。さらに当社の製品は、社会インフラを支える重要な役割を担うため、高い品質であることも必須である。

上記の解決策の一つとして、組み込み開発分野では実機製作前にボードの動作をシミュレートするハードウェア/ソフトウェア協調シミュレーション（以下、HW/SW協調シミュレーション）が注目されて久しい。

専用の協調シミュレータはEDAベンダから数多く販売されているが、価格帯が社内で既に導入しているRTL (Register Transfer Level) シミュレータに比べて高価なことから、使用する言語が当社内で普及している言語と異なることから、導入は困難で

あった。

これらの課題を解決し、冒頭の組み込み製品に求められる「開発効率向上」と「高品質」を支援するために、RTLシミュレータを活用してHW/SW協調シミュレーション環境を構築した。本稿では、RTLシミュレータを活用し、HW/SW協調シミュレーション環境を実現した組み込み用協調試験システムを紹介する。

2 組み込み用協調試験システムの構成と特長

2.1 CPU (Central Processing Unit) モデル

当社の組み込み製品で採用するCPUの動作を模擬できるモデルである。RTLシミュレータ上で実機CPUのソフトウェアを実行し、バス動作をシミュ

レートできる。加えて割り込みやDMA (Direct Memory Access) 機能などCPU周辺機能もシミュレートできる。また、命令実行クロック数や割り込み応答クロック数など動作クロック数、バス信号の遅延時間などタイミング仕様は実機CPUと同じにしている。

ソフトウェアの実行には、後述のアセンブラファイル生成ツール又は手書きアセンブラ支援ツールが生成する実行ファイルを使用する。

2.1.1 タイミング監視機能

セットアップやホールド時間などのCPUのタイミング仕様違反を検出できる。

2.1.2 デバッグ用専用命令

CPUモデルがサポートする命令は実機CPUの命令に加え、デバッグ用の専用命令がある。以下に一例を示す。

- (1) PRINT 命令 RTLシミュレータのコンソールウィンドウに任意の文字列を表示できる。ソフトウェアの動作解析に使用できる。
- (2) WAIT 命令 デバッグの際、ソフトウェア実行を時間調整したい場合、CPUモデルの実行待ち時間を作ることができる。割り込みや2ポートメモリアクセスなどのタイミング競合について確実な試験ができる。

2.1.3 初期化設定機能

バスコントローラ設定など、CPUが動作するために必要な設定をあらかじめ内蔵することで、設定用ソフトウェアを必要とせずリセット解除後、直ちにCPUモデルは所望の関数を実行することができる。

2.2 周辺モデル

2.1項のCPUモデルと同様にメモリや周辺LSI (Large Scale Integration) の動作をRTLシミュレータ上で模擬できるモデルである。動作クロック数とタイミング仕様は実デバイスと同じにし、さらにタイミング監視機能も2.1.1項と同様に実現している。

メモリモデルは後述するメモリ初期化機能で、シミュレーション開始時の初期値を設定することができる。

2.3 仮想ボード

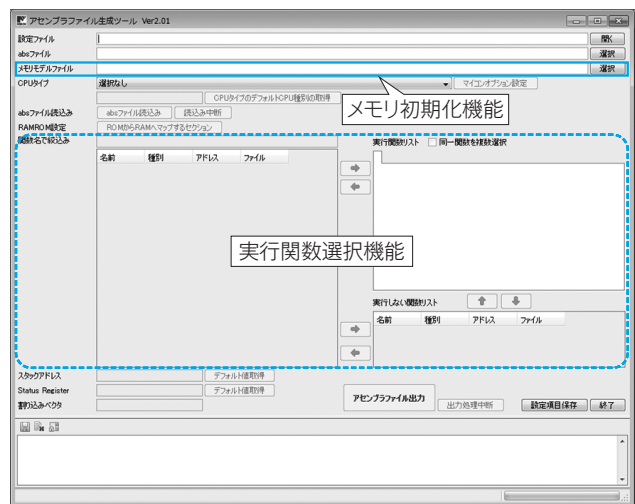
CPUモデル、周辺モデルとFPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) の設計モデル (RTL) を接続してボードと同じ構成を作り、ボードの動作をRTLシミュレータ上で模擬できるモデルである。仮想ボードの作成には、後述するAldec, Inc.製RTLシミュレータActive-HDL (以下、Active-HDL) に内蔵のブロックダイアグラムエディタを使用している。

2.4 アセンブラファイル生成ツール

第1図にアセンブラファイル生成ツールの画面を示す。CPU用ソフトウェア開発環境(後述)が生成する実行オブジェクトからCPUモデルが実行できるフォーマットに変換し、実行ファイルを生成する。このツールには以下の特長がある。

2.4.1 実行関数選択機能

2.1.3項のとおり、CPUモデルは初期化設定のためのソフトウェア処理が不要のため、リセット解除後、すぐに所望の関数を実行することができる。デバッグしたい関数を選択することで、所望の関数のみ実行する実行ファイルを生成できる。リセットスタート処理にかかる実行時間を省略でき、デバッグ効率を向上している。



第1図 アセンブラファイル生成ツール

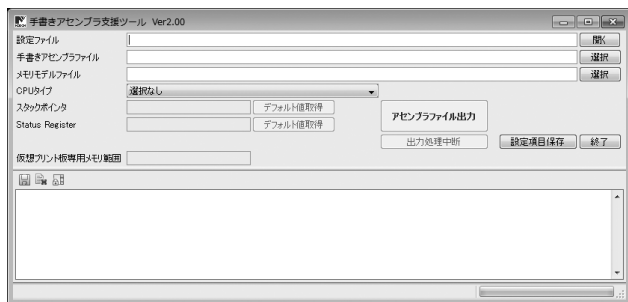
アセンブラファイル生成ツールの起動画面を示す。

2.4.2 メモリ初期化機能

実行関数選択機能で選択された関数は、事前処理を省略した実行になるため、あらかじめメモリに初期値として所定の内容が必要となる場合がある。メモリ初期値をファイルに記述し、アセンブラファイル生成ツールはメモリ初期値を結合した実行ファイルを生成する。仮想ボードのメモリモデルは、実行ファイルからメモリ初期値を取得し設定する。これによって、選択された実行関数が必要とする初期値を実行前にメモリモデルへ設定できる。

2.5 手書きアセンブラ支援ツール

第2図に手書きアセンブラ支援ツールの画面を示す。2.4項のアセンブラファイル生成ツールは、CPU用ソフトウェア開発環境（後述）が生成する実行オブジェクトを必要とするため、オブジェクトを生成可能な完成度の高いソフトウェアソースが必要になる。組み込み開発では、ハードウェア開発とソフトウェア開発が並行して進行するため、状況によってはハードウェアデバッグ開始時に実行オブジェクトを用意できない場合がある。手書きアセンブラ支援ツールは実行オブジェクトを使用せずに、アセンブラ言語で記述したプログラムからCPUモデルの実行ファイルを生成できる。これによって、実行オブジェクトの完成を待たずにハードウェアのデバッグを開始することができる。さらに2.1.2項のデバッグ専用命令を使用することで、効率的にデバッグ作業を行うことができる。



第2図 手書きアセンブラ支援ツール

手書きアセンブラ支援ツールの起動画面を示す。

2.6 CPU用ソフトウェア開発環境

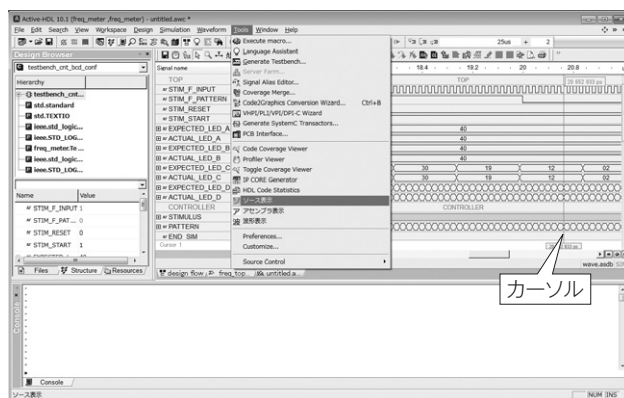
実機CPU用の実行オブジェクトを生成するパソコン用アプリケーションソフトウェアである。実機でのデバッグと同様にCPUメーカーが提供するものを使用する。

2.7 RTLシミュレータ

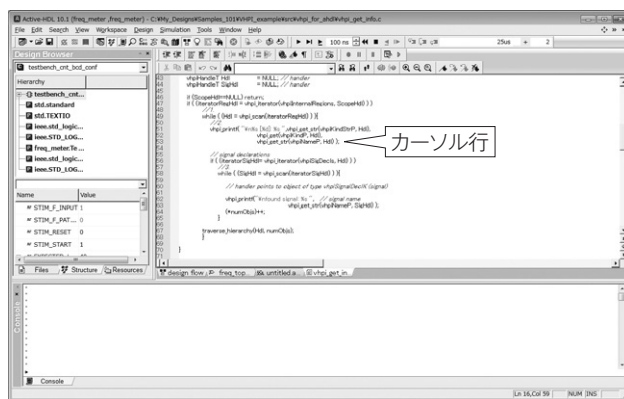
仮想ボードのHW/SW協調シミュレーションを実行するパソコン用シミュレータソフトで、Active-HDLを採用する。

2.7.1 ソース表示機能

第3図にソース表示機能を示す。ソース表示機能は、Active-HDLに内蔵の波形ウィンドウとテキストエディタの機能を利用した当社製のアドオン機能である。(a)に示すように、波形ウィンドウにシミュレーション結果の波形を表示した状態で、波形



(a) 波形ウィンドウ



(b) テキストエディタ

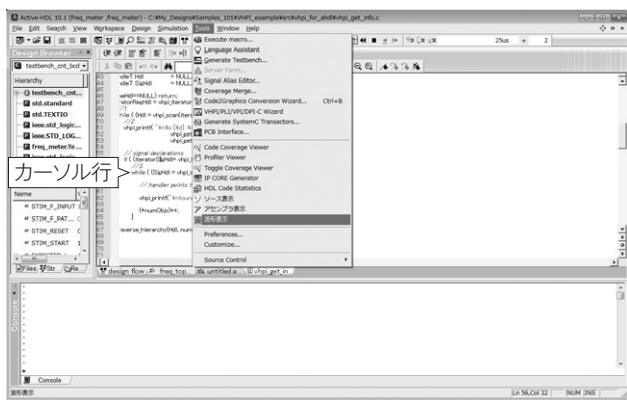
第3図 ソース表示機能

(a) はシミュレーション波形の任意の動作箇所を示す。

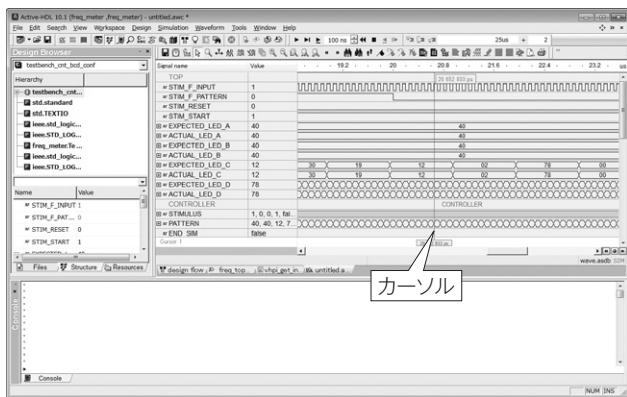
(b) はソフトウェアソースファイルの該当箇所を示す。

※設計情報は全て架空のものである。

上の任意の箇所をカーソルで指定して本機能を実行すると、(b) に示すようにテキストエディタは該当ソフトウェアソースファイルを開き、カーソルは該当行を指す。またソフトウェアソースファイルのほか、CPU用ソフトウェア開発環境でコンパイルしたアセンブラファイルを表示することもできる。本機能はActive-HDLに備わるユーザツール登録機能を利用し、Active-HDLの画面からメニュー操作又はボタン操作で実行できる。



(a) テキストエディタ



(b) 波形ウィンドウ

第4図 波形表示機能

(a) はソフトウェアソースファイルの任意の箇所を示す。

(b) はシミュレーション波形の該当箇所を示す。

※設計情報は全て架空のものである。

2.7.2 波形表示機能

第4図に波形表示機能を示す。波形表示機能は、Active-HDLに内蔵のテキストエディタと波形ウィンドウの機能を利用した当社製のアドオン機能である。シミュレーションが終了した状態で、(a) に示すようにテキストエディタでソフトウェアソースファイルを開き、任意の箇所をカーソルで指定して本機能を実行すると、(b) に示すように波形ウィンドウのカーソルが該当箇所に移動する。本機能はActive-HDLに備わるユーザツール登録機能を利用し、Active-HDLの画面からメニュー操作又はボタン操作で実行できる。

3 むすび

当社の組み込み用協調試験システムの各機能について紹介した。本システムによって、ボードのシミュレーションがRTLシミュレータで行えるようになり、実機製作前でのFPGAやASICのデバッグがより確実になった。しかし、シミュレーション速度に関してはまだ改善の余地があり、長いシミュレーション時間を必要とするソフトウェアのデバッグには適用が難しい。

今後、速度の向上を図り、ソフトウェア開発工程にも適用範囲を広げ、更なる「開発効率向上」と「高品質」に貢献していく所存である。

・本論文に記載されている会社名・製品名などは、それぞれの会社の商標又は登録商標である。

執筆紹介



森 文彦
Fumihiko Mori

製品技術研究所
組み込み向け開発環境の研究開発に従事